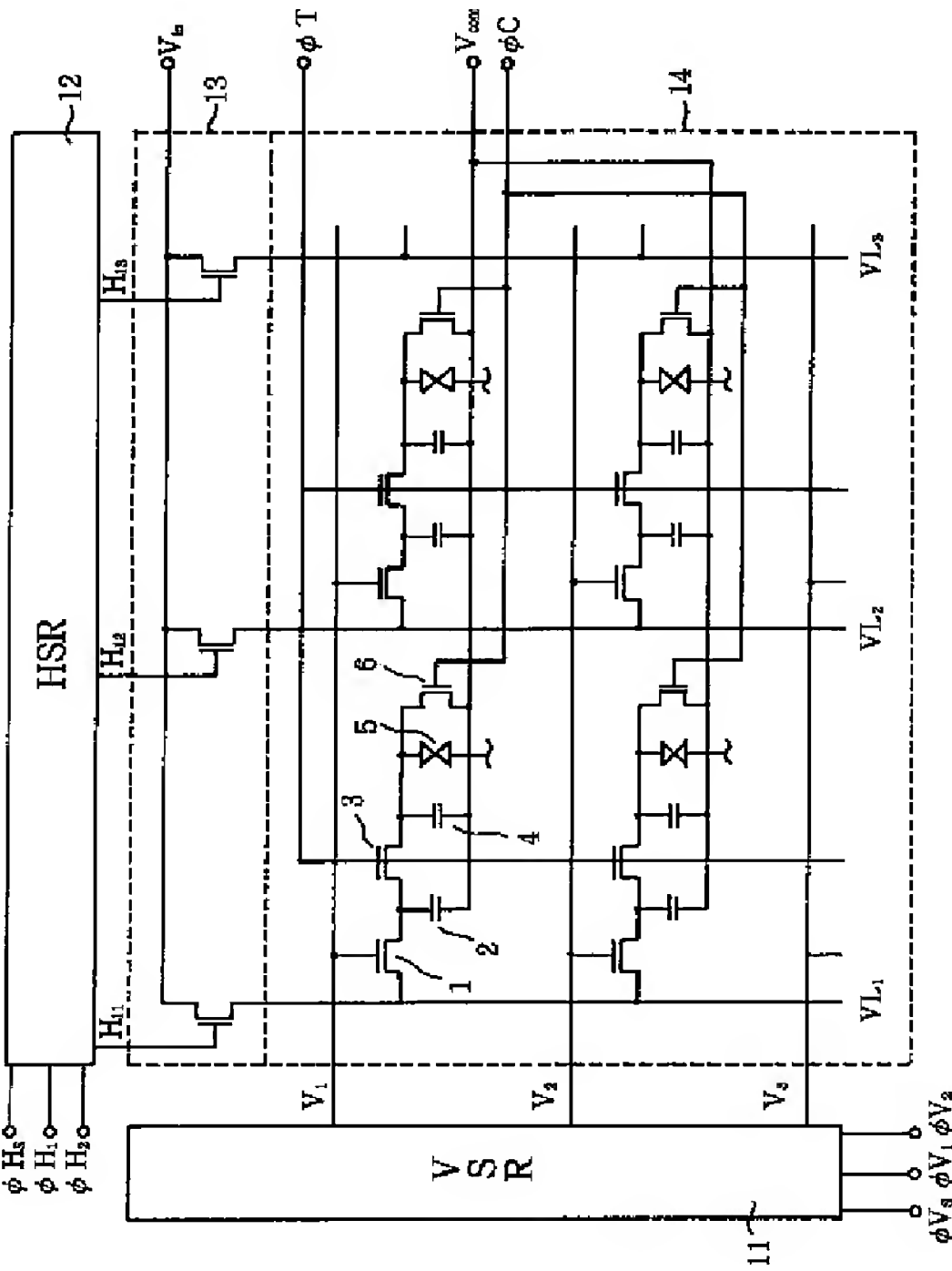


(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
	5 1 0			5 1 0
	5 3 5			5 3 5
1/136	5 0 0		1/136	5 0 0
G 0 9 G 3/36			G 0 9 G 3/36	
審査請求 未請求 請求項の数12 O L （全 9 頁）				

(21)出願番号	特願平9－36821	(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成9年(1997)2月21日	(72)発明者	橋本 誠二 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
(31)優先権主張番号	特願平8－60278	(74)代理人	弁理士 渡辺 敬介 （外1名）
(32)優先日	平8(1996)2月23日		
(33)優先権主張国	日本（J P）		
(31)優先権主張番号	特願平8－60279		
(32)優先日	平8(1996)2月23日		
(33)優先権主張国	日本（J P）		

(54)【発明の名称】 液晶表示装置及びその駆動方法

(57)【要約】
【課題】 光源切換方式でフルカラー表示するアクティブマトリクス型の液晶表示装置において、書込み速度を上げることなく各光源色の点灯時間を長くして高精細、高輝度なフルカラー表示を図る。
【解決手段】 各画素行において、サンプリング回路13においてサンプリングされたR信号を該第1 T F T 1を経てメモリ容量2に転送、保持し、全画素に書込みが終了した時点で、リセット T F T 6のゲートをオンして液晶容量5及び付加容量4に保持されていたB信号を全画素一括リセットし、第2 T F T 3をオンしてメモリ容量2に保持されていたR信号を付加容量4及び液晶容量5へ転送すると同時に光源をRに切換、R表示を行い、順次上記走査をG、Bについても繰り返す。



【特許請求の範囲】

【請求項1】 光源色切換方式でフルカラー表示するアクティブマトリクス型の液晶表示装置であって、各画素毎に、走査線により画素行毎にオン・オフを制御され且つ信号線より画像信号の印加される第1スイッチ手段、該第1スイッチ手段を経た画像信号を保持するメモリ手段、該メモリ手段からのメモリ出力を制御する第2スイッチ手段、該第2スイッチ手段に接続された画素電極、及び、該画素電極に印加された画像信号をリセットするリセット手段とを有することを特徴とする液晶表示装置。

【請求項2】 上記リセット手段が、全画素において各画素電極に印加された画像信号を一括してリセットする手段である請求項1記載の液晶表示装置。

【請求項3】 上記第2スイッチ手段が、全画素において各メモリ手段に保持された画像信号を一括して各画素電極に転送する請求項1記載の液晶表示装置。

【請求項4】 強誘電性液晶を用いた請求項1記載の液晶表示装置。

【請求項5】 請求項1～4いずれかに記載の液晶表示装置の駆動方法であって、第2スイッチ手段をオフ、第1スイッチ手段をオンし、画像信号をメモリ手段に印加する工程、第1スイッチ手段及び第2スイッチ手段をオフし、リセット手段により画素電極に印加されていた画像信号をリセットする工程、第2スイッチ手段をオンし、メモリ手段に保持された画像信号を画素電極に転送する工程、及び該画素電極への画像信号の転送と同期して光源色を切り換える工程、を各光源色毎に繰り返しフルカラー表示することを特徴とする液晶表示装置の駆動方法。

【請求項6】 光源色切換方式でフルカラー表示するアクティブマトリクス型の液晶表示装置であって、各画素毎に、走査線により画素行毎にオン・オフを制御され且つ信号線より画像信号の印加される第1スイッチ手段、該第1スイッチ手段を経た画像信号を保持するメモリ手段、該メモリ手段に保持された信号電荷を増幅するバッファ手段、該バッファ手段からの出力信号が転送される画素電極とを有することを特徴とする液晶表示装置。

【請求項7】 上記バッファ手段が、導通と非導通に制御される請求項6記載の液晶表示装置。

【請求項8】 上記バッファ手段の出力信号の画素電極への転送を制御する手段を有する請求項6記載の液晶表示装置。

【請求項9】 全画素において、上記バッファ手段から画素電極へ一括して出力信号が印加される請求項6記載の液晶表示装置。

【請求項10】 液晶に印加された電圧を、一括してリセットする手段を有する請求項6記載の液晶表示装置。

【請求項11】 請求項6～10いずれかに記載の液晶表示装置の駆動方法であって、第1スイッチ手段をオン

して画像信号をメモリ手段に印加する工程、バッファ手段を活性状態にして上記メモリ手段に印加された画像信号を増幅し、該バッファ手段の出力信号を画素電極に転送する工程、該出力信号の転送と同期して光源色を切り換える工程、を各光源色毎に繰り返しフルカラー表示することを特徴とする液晶表示装置の駆動方法。

【請求項12】 請求項11記載の液晶表示装置の駆動方法であって、第1スイッチ手段をオンして画像信号をメモリ手段に印加する工程、リセット手段により画素電極に印加されていた信号をリセットする工程、バッファ手段を活性状態にして上記メモリ手段に印加された画像信号を増幅し、該バッファ手段の出力信号を画素電極に転送する工程、該出力信号の転送と同期して光源色を切り換える工程、を各光源色毎に繰り返しフルカラー表示することを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、カラーフィルタを用いず、光源色切換方式でフルカラー表示する液晶表示装置に関するものである。

【0002】

【従来の技術】従来、液晶表示装置においては、二次元配列された液晶画素上に、図11に示すようなR

(赤)、G(緑)、B(青)のカラーフィルタ71を設け、白色光源を点灯することにより、カラー表示を行っていた。しかしながら、カラーフィルタ方式の液晶パネルは、R、G、Bにそれぞれ1個ずつ画素が対応し、3画素で1画素分の表示となるため、同じ画素数で白黒表示する場合に比べると解像度は1/3、光の透過率は1/3となり、表示特性が低下するという問題があった。

【0003】そこでこのようなカラーフィルタ方式の問題点を解決する方法として、白黒表示の液晶パネルに、R、G、B各色の信号を順次入力し、各色の信号に同期して光源色を切り換える方式がある。例えば、特公昭63-41078号公報に開示された方式では、図12に示すように、R、G、Bの書込み・表示を順次行なう。

【0004】従来の白黒表示の液晶パネルにおいては、サンプリングホールド回路を用いて、1画素行毎に信号書込みを行ない表示を行なうことにより、1垂直走査期間の大半を表示期間としている。これに対し、上記光源切換方式では、各色毎に1画面分の垂直走査を行なう必要があるため、表示期間に最大1垂直走査期間の3/4を当てて明るさを維持すると、書込み期間は各色につき $(1/3) \times (1/4) = 1/12$ となる。よって上記白黒書込みの12倍の書込み速度が必要となり、TFTの性能から見て実現は困難である。

【0005】書込み速度を上げることなくカラー表示する方法としては、特開平4-172326号公報に開示

されているように、倍速ノンインターレース駆動化のために画素にメモリを設ける方法がある。この方法では、垂直帰線期間に水平走査線を高速に順次駆動して転送しているが、水平走査線（ゲート線）の時定数及びTFTの駆動能力によっては、当該期間が数msec必要である。また、画素数が増加するとさらなる転送時間が必要となる。

【0006】次にメモリ容量と液晶容量の関係を考えると、メモリ容量を液晶容量に比して充分大きくしないと、信号振幅を大きくしなければならなくなる。ここで、容量比を10：1とすると、信号振幅低下は10％となる。さらに、液晶は焼き付き防止のために交流駆動しなければならない。従って、交流信号の最大振幅は約10Vであり、液晶容量の残留電荷はメモリ容量の信号電荷の10％である約1Vが不要信号となる。容量比を50：1にしたとしても、約200mVが不要信号となる。光源切換方式の場合、色信号が順次切り換わるため、この不要信号が非常に目障りな残像となり、画質劣化をきたす。また、容量比50：1のメモリ容量を限られた画素内に形成することも非常に困難である。

【0007】また、メモリ容量と液晶容量（付加容量を含む）との容量分割により、信号振幅の低下があるが、この低下分を補償した信号電圧を外部から供給する必要がある。これらメモリ容量や付加容量は、絶縁物の厚みと面積により決まるが、特に膜厚は製造工程によってばらつきを生じるため、画素毎に容量値が異なる。また、液晶容量も液晶層の厚みがばらつく。従って、これらばらつきを補償するためにも、外部からの信号電圧を調整する必要がある。

【0008】

【発明が解決しようとする課題】以上述べたように、従来の光源色切換方式の液晶表示装置においては、高速書込みが必須条件であり、消費電力とコストアップ及びTFT特性の向上など技術的課題が多かった。また、画素にメモリを設けた方法では、残留電荷による画質劣化や、メモリを設けた分単位画素面積が大きくなるという問題もあった。

【0009】本発明は上述の問題点を解決した液晶表示装置を提供することを目的とするものである。即ち、カラーフィルターを用いない液晶パネルを使用し、書込み速度を上げることなく、光源色の点灯時間を長くし、高精細、高輝度なフルカラー表示を実現することを目的とするものである。また、容量のばらつきをなくすことを目的とする。

【0010】

【課題を解決するための手段】本発明の第1は、各画素にメモリを設けると共に、液晶容量の残留電荷をリセットする手段と、上記メモリから液晶容量への信号転送を全画面一括で行なうスイッチ手段を設け、該信号転送と同期して光源色を順次切り換えることにより、表示期間

に次の色の書込みを行ない、充分な書込み期間を確保すると同時に、残留電荷による画質劣化を防止した液晶表示装置及びその駆動方法を提供するものである。

【0011】即ち、本発明の第1は、光源色切換方式でフルカラー表示するアクティブマトリクス型の液晶表示装置であって、各画素毎に、走査線により画素行毎にオン・オフを制御され且つ信号線より画像信号の印加される第1スイッチ手段、該第1スイッチ手段を経た画像信号を保持するメモリ手段、該メモリ手段からのメモリ出力を制御する第2スイッチ手段、該第2スイッチ手段に接続された画素電極、及び、該画素電極に印加された画像信号をリセットするリセット手段とを有することを特徴とする。

【0012】また本発明の第1は、上記本発明の液晶表示装置の駆動方法であって、第2スイッチ手段をオフ、第1スイッチ手段をオンし、画像信号をメモリ手段に印加する工程、第1スイッチ手段及び第2スイッチ手段をオフし、リセット手段により画素電極に印加されていた画像信号をリセットする工程、第2スイッチ手段をオンし、メモリ手段に保持された画像信号を画素電極に転送する工程、及び該画素電極への画像信号の転送と同期して光源色を切り換える工程、を各光源色毎に繰り返しフルカラー表示することを特徴とする。

【0013】本発明の第2は、各画素毎にメモリ手段を設け、該メモリ手段の後段に、バッファ回路を設けることにより、メモリ手段に印加された信号をほぼ同じ振幅で液晶容量へ転送することができ、表示期間を長く確保した上で容量のばらつきが補償される液晶表示装置及びその駆動方法を提供する。

【0014】即ち、本発明の第2は、光源色切換方式でフルカラー表示するアクティブマトリクス型の液晶表示装置であって、各画素毎に、走査線により画素行毎にオン・オフを制御され且つ信号線より画像信号の印加される第1スイッチ手段、該第1スイッチ手段を経た画像信号を保持するメモリ手段、該メモリ手段に保持された信号電荷を増幅するバッファ手段、該バッファ手段からの出力信号が転送される画素電極とを有することを特徴とする。

【0015】また、本発明の第2は、上記液晶表示装置の駆動方法であって、第1スイッチ手段をオンして画像信号をメモリ手段に印加する工程、バッファ手段を活性状態にして上記メモリ手段に印加された画像信号を増幅し、該バッファ手段の出力信号を画素電極に転送する工程、該出力信号の転送と同期して光源色を切り換える工程、を各光源色毎に繰り返しフルカラー表示することを特徴とする。

【0016】

【発明の実施の形態】

〔実施形態1〕以下に本発明の実施形態1を図面により説明する。図1は本発明の液晶表示装置の表示パネルの

一実施形態を示す構成図である。図中14が表示画素部、11が垂直走査回路、12が水平走査回路、13が水平走査回路からのパルス信号(H_{11} 、 H_{12} …)により、入力画像信号 V_{in} をサンプリングするサンプリング回路である。垂直走査回路11で選択された画素行の画素に、サンプリング回路13でサンプリングされた信号が書き込まれる。

【0017】また、1は第1スイッチ手段である第1TFT、2は第1TFT1を経て転送された信号を保持するメモリ容量、3は該メモリ容量と画素電極間の接続を制御する第2スイッチ手段である第2TFT、4は付加容量、5は画素電極により形成される液晶容量、6は該画素電極の電位を制御するためのリセットスイッチ手段であるリセットTFTである。第1TFT1は垂直走査回路11からのパルス信号(V_1 、 V_2 …)により制御される。メモリ容量2、付加容量4、リセットTFT6の他端は共通に接続され、中心電圧 V_{com} が印加される。また、リセットTFTのゲートは表示画素部14全体で共通に接続されており、一括リセットが可能である。

【0018】また、第2TFT3のゲートも表示画素部14全体で共通接続され、メモリ容量2に保持されたメモリ信号を液晶容量5及び付加容量4に一括転送することができる。本実施形態においては、第1スイッチ手段、第2スイッチ手段、リセット手段をそれぞれTFT単素子で構成しているが、それぞれを複数素子で構成しても構わない。また、複数素子を直列接続して各手段を構成することにより、非導通時の抵抗を大きくすることができ、リーク電流が小さく、また欠陥が少なくなる。

【0019】次に、図2に本実施形態の表示パネルの駆動タイミングチャートを示す。1垂直走査期間(1F)は信号源がNTSCの場合、約16.7msecである。この期間内に光源色がB、R、Gの順で切り換えられ、視覚的に合成されてフルカラー表示がなされる。1F中、 t_A がR信号書き込み期間、 T_A がR表示期間、 t_B がG信号書き込み期間、 t_B がG表示期間、 t_C がB信号書き込み期間、 t_C がB表示期間であり、 t_A は t_C と、 t_B は t_A と、 t_C は t_B とそれぞれ重複している。尚、説明は便宜上、画素が3行×3列の液晶パネルを例に挙げて行なう。

【0020】先ず、 t_A において、垂直走査スタートパルス ϕV_s により垂直走査が開始され、垂直走査回路11より垂直走査線に順次選択パルス $V_1 \sim V_3$ が印加される。これにより、各画素行の第1TFT1が順次オンする。上記選択パルス $V_1 \sim V_3$ それぞれにおいて、水平走査スタートパルス ϕH_s により水平走査が開始され、サンプリング回路13におけるサンプリングTFTのゲートに順次サンプリングパルス $H_{11} \sim H_{13}$ が印加され、入力画像信号 V_{in} (R信号)がサンプリングされる。各画素行毎に選択パルスに同期して水平走査がなさ

れ、各第1TFT1を経てメモリ容量2にR信号が転送され、保持される。一方、当該 t_A においては、画素は先行期間に液晶容量5及び付加容量4に印加されたB信号によりB表示が行なわれている(T_C)。

【0021】全ての画素行の書き込みが終了した時点で、パルス ϕC が全画素のリセットTFT6のゲートに印加され、該TFT6がオンし、液晶容量5及び付加容量4に保持されていた上記B信号が全画素一括してリセットされる。引き続き、パルス ϕT が全画素の第2TFT3のゲートに印加され、該TFT3がオンしてメモリ容量に保持されていたR信号が付加容量4及び液晶容量5へ転送されると同時に光源がRに切り換えられ、R表示が行なわれる(t_A)。R表示が行なわれている t_A は、同時にG信号の書き込み期間 t_B であり、上記と同様にし、G信号の書き込みが行なわれる。

【0022】このように、1FにB、R、Gが順次表示されるが、視覚的には、残像効果によりこれら3色が合成され、フルカラー表示として認識される。

【0023】本実施形態においては、全画素の液晶に一括して信号を印加するため、表示期間を長くとることができ、さらに、R、G、Bの書き込みに同期して、B、R、Gの表示を行なうため、書き込み期間として、1Fの1/3が確保される。即ち、先に示した従来の白黒表示に比較して3倍の速度で書き込めば良く、現状のTFT製造技術、外部信号処理技術で実現可能である。

【0024】本実施形態において、高速駆動が可能な液晶として、アナログ駆動の強誘電性液晶が好ましく用いられる。また、二値駆動の強誘電性液晶でも、時間変調駆動を行なうことにより好適に用いることができる。強誘電性液晶の場合、立ち上がり・立ち下がり数十～数百 μsec が可能である。

【0025】次に、図3に本発明の液晶表示装置の全体概要図を示す。図中31が図1に示した表示パネルであり、32は信号源で、NTSCやPAL等の記録再生装置或いはハイビジョン装置、パソコン(VGA、XGAなど)等である。

【0026】33は外部信号処理メモリであり、信号源32からの信号を表示パネル31への駆動信号に変換し、R、G、B信号として面順次に出力する。

【0027】34はタイミングジェネレータであり、信号源32からの同期信号を分離し、外部信号処理メモリ33、表示パネル31の駆動パルス、照明用電圧制御パルス、システム電源等をコントロールする。

【0028】37はシステム全体の電源である。35は表示パネル31の表示用照明であり、R、G、B各信号の液晶への転送に同期して光源色を切り換えて順次照射する。照明35は、R、G、B単色光源或いは白色光源から色分離手段を通してR、G、B各色を照射し得るものである。照明35として単色光源、例えばLED光源を用いれば、表示に関わるLEDのみに電流を供給すれ

ば良く、電力効率が良い。36は照明35の光学系であり、表示パネル31が透過型の場合は該表示パネル31の裏面に、反射型の場合は表示パネル31の前方に設けられる。38は表示パネル31からの光を投影する光学系である。

【0029】図4に、画素部にメモリ容量とリセットTFTを設けた透過型パネルの断面図を示す。図中、101は透明絶縁性基板、102は導電性膜、103は絶縁膜、104はポリシリコン、105はゲート絶縁膜、106-1~106-3はゲートポリシリコン、107、108-1~108-3はソース・ドレイン領域、109は信号配線、110は導電性遮光膜、111は透明画素電極、201と202は配向膜、200は液晶、301は透明導電性膜、300はガラス基板である。

【0030】本実施形態ではメモリ容量はトランジスタのドレイン領域108-1と導電性膜102の間の容量、付加容量はドレイン領域108-2と導電性膜102の間の容量と導電性遮光膜110と透明画素電極111の間の容量から形成させる。109-4はリセットTFTのリセット電位配線である。

【0031】図5に、画素部にメモリ容量とリセットTFTを設けた反射型パネルの断面図を示す。反射型の場合、基板101は透明である必要はなく、シリコン基板などでも良い。また、導電性遮光膜110は容量を形成するための導電膜であれば良く、遮光膜である必要はない。画素電極501は入射光を反射させるための反射部材、例えばA1膜などで構成される。反射型の場合は、光を透過させる開口部が不要であるため、画素電極下には、メモリ回路やバッファ手段等を集積することがより可能となる。

【0032】〔実施形態2〕以下に本発明の実施形態2を図面により説明する。図6は本発明の液晶表示装置の表示パネルの一実施形態を示す構成図である。図中、614が表示画素部、611が垂直走査回路、612が水平走査回路、613が水平走査回路からのパルス信号(H_{11} 、 H_{12} ...)により、入力画像信号 V_{in} をサンプリングするサンプリング回路である。垂直走査回路611で選択された画素行の画素に、サンプリング回路613でサンプリングされた信号が書き込まれる。

【0033】各画素は、本発明にかかる第1スイッチ手段である第1スイッチ回路601、メモリ手段であるメモリ容量602、アンプ回路603及び負荷抵抗604からなるバッファ回路、第2スイッチ回路605、付加容量606、画素電極により形成される液晶容量607からなる。バッファ回路はアンプ回路603のドレインが電源スイッチ608を経て電源 V_{DD} に接続され、付加抵抗604が電源 V_L に接続されている。電源スイッチ608がパルス ϕ_{VV} によりオンされると、電源電圧 V_{DD} がアンプ回路603に供給され、バッファ回路は活性状態となる。

【0034】また、各バッファ回路の出力信号は、第2スイッチ回路605によって付加容量606及び液晶容量607への転送が制御される。

【0035】次に、図7に本実施形態2の表示パネルの駆動タイミングチャートを示す。1垂直走査期間(1F)は信号源がNTSCの場合、約16.7msecである。この期間内に光源色がB、R、Gの順で切り換えられ、視覚的に合成されてフルカラー表示がなされる。1F中、 t_A がR信号書き込み期間、 $t_{A'}$ がR表示期間、 t_B がG信号書き込み期間、 $t_{B'}$ がG表示期間、 t_C がB信号書き込み期間、 $t_{C'}$ がB表示期間であり、 t_A は $t_{C'}$ と、 t_B は $t_{A'}$ と、 t_C は $t_{B'}$ とそれぞれ重複している。尚、説明は便宜上、画素が3行×3列の液晶パネルを例に挙げて行なう。

【0036】先ず、 t_A において、垂直走査スタートパルス ϕ_{VS} により垂直走査が開始され、垂直走査回路611より垂直走査線に順次選択パルス $V_1 \sim V_3$ が印加される。これにより、各画素行の第1スイッチ回路601が順次オンする。上記選択パルス $V_1 \sim V_3$ それぞれにおいて、水平走査スタートパルス ϕ_{HS} により水平走査が開始され、サンプリング回路613におけるサンプリングTFTのゲートに順次サンプリングパルス $H_{11} \sim H_{13}$ が印加され、入力画像信号 V_{in} (R信号)がサンプリングされる。各画素行毎に選択パルスに同期して水平走査がなされ、各第1スイッチ回路601を経てメモリ容量602にR信号が転送され、保持される。一方、当該 t_A においては、画素は先行期間に液晶容量607及び付加容量606に印加されたB信号によりB表示が行なわれている($t_{C'}$)。

【0037】全ての画素行の書き込みが終了した時点で、パルス ϕ_{VV} が電源スイッチ608のゲートに印加され、該スイッチ608がオンし、全画素のバッファ回路が活性状態となる。同時に、パルス ϕ_T が全画素の第2スイッチ回路605のゲートに印加され、該スイッチがオンしてバッファ回路の出力信号が付加容量606及び液晶容量607へ転送されると同時に光源がRに切り換えられ、R表示が行なわれる($t_{A'}$)。R表示が行なわれている $t_{A'}$ は、同時にG信号の書き込み期間 t_B であり、上記と同様にして、G信号の書き込みが行なわれる。

【0038】上記バッファ回路の出力信号は、増幅率がほぼ1に近いため、メモリ容量602の信号電圧とほぼ同じである。即ち、メモリ容量602に保持された画像信号が、振幅低下することなく該バッファ回路の出力信号として付加容量606及び液晶容量607へ書き込まれるのである。

【0039】このように、1FにB、R、Gが順次表示されるが、視覚的には、残像効果によりこれら3色が合成され、フルカラー表示として認識される。

【0040】本実施形態においては、全画素の液晶に一括して信号を印加するため、表示期間を長くとることが

でき、さらに、R、G、Bの書込みに同期して、B、R、Gの表示を行なうため、書込み期間として、1Fの1/3が確保される。即ち、先に示した従来の白黒表示に比較して3倍の速度で書き込めば良く、現状のTFT製造技術、外部信号処理技術で実現可能である。

【0041】本実施形態において、高速駆動が可能な液晶として、アナログ駆動の強誘電性液晶が好ましく用いられる。また、二値駆動の強誘電性液晶でも、時間変調駆動を行なうことにより好適に用いることができる。強誘電性液晶の場合、立ち上がり・立ち下がり数十～数百μsecが可能である。

【0042】本実施形態においては、従来のメモリ方式に対し、バッファ回路が増えているが、メモリ容量は液晶容量と同じ程度の容量値で良いため、従来のメモリ面積よりもバッファ回路を小さく設計し、単位画素面積を小さくすることが可能である。さらに、バッファ回路は出力信号を液晶容量に転送する時のみに活性状態とするため、消費電力の増加を無視することができ、発熱もなく、各回路を構成するTFTのリーク電流も無視することができる。

【0043】図6に示した液晶パネルにおいては、メモリ容量602、負荷抵抗604、付加容量606の他端を共通電位 V_L にして電源線を少なくしているが、別電位であっても良い。

【0044】本実施形態の液晶表示装置の全体概要図は図3を使って説明した実施形態1と同じである。

【0045】〔実施形態3〕図8に本発明の実施形態3のバッファ回路を示す。本実施形態では、メモリ容量802とバッファ回路のアンプ回路803との間にメモリ制御スイッチ回路841を設け、該スイッチ回路841と負荷抵抗804とをバルス ϕ_T により同時に制御する。本実施形態では、アンプ回路803の電源は常に V_{DD} とし、スイッチ回路841でメモリ容量802からの信号印加を制御するので、電源電圧 V_{DD} を制御する必要はない。

【0046】〔実施形態4〕図9に本発明の実施形態4を示す。本実施形態は、図6に示した液晶パネルに対し、第2スイッチ回路605を省略し、負荷抵抗904を ϕ_T により制御する。本実施形態では図6に示した形態に比べて単位画素を構成するTFTを1素子低減できるため、透過型の場合は有効開口率を増加させ、また、反射型の場合には設計自由度に余裕を持たせることができ、画素欠陥を低減することができる。

【0047】〔実施形態5〕図10に本発明の実施形態5を示す。本実施形態は、バッファ回路のアンプ回路1003を、バイポーラトランジスタで構成し、付加容量1006及び液晶容量1007の残留電圧をリセットするためのリセットスイッチ1061が設けられたものである。各メモリ容量1002に画像信号を書き込んだ後、 ϕ_C により全画素のリセットスイッチ1061をオ

ンし、付加容量1006及び液晶容量1007の残留電圧を V_L にした後、 ϕ_T により第2スイッチ1005をオンして新たな信号を付加容量1006及び液晶容量1007に転送する。

【0048】本実施形態では、一括して全画素の残留電圧がリセットされるため、該残留電圧による残像現象が防止され、画質の向上を図ることができる。

【0049】

【発明の効果】以上説明したように、本発明の液晶表示装置においては、R、G、Bの書込み期間が、同時にB、R、Gの表示期間となるため、書込みに十分な期間を確保することができ、高速書込みによる表示品質の低下を招くことなく、光源色切換方式でフルカラー表示を行なうことができる。

【0050】さらに本発明の第1の液晶表示装置においては、全画素の液晶に印加されている電荷を一括にリセットすることができるため、残留電荷による画質の劣化も防止され、より高画質なフルカラー画像を提供することができる。

【0051】また本発明の第2の液晶表示装置においては、バッファ回路を設けたことによりメモリ手段に印加された信号をほぼ同じ振幅で液晶容量へ転送することができ、容量のばらつきを補償し、単位画素面積を小さくすることができる。

【0052】さらにまた、本発明の第2の液晶表示装置にリセット回路を加えることにより、第1の液晶表示装置同様、残留電荷による画質の劣化を防止して画質の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1の液晶パネルの構成図である。

【図2】図1に示した液晶パネルの駆動タイミングチャートである。

【図3】本発明の実施形態1の液晶表示装置の構成図である。

【図4】本発明の実施形態1の透過型液晶パネルの断面図である。

【図5】本発明の実施形態1の反射型液晶パネルの断面図である。

【図6】本発明の実施形態2の液晶パネルの構成図である。

【図7】図2に示した液晶パネルの駆動タイミングチャートである。

【図8】本発明の実施形態3の表示パネルの一画素を示す構成図である。

【図9】本発明の実施形態4の表示パネルの一画素を示す構成図である。

【図10】本発明の実施形態5の表示パネルの一画素を示す構成図である。

【図11】従来の液晶表示装置のカラーフィルタを示

す図である。

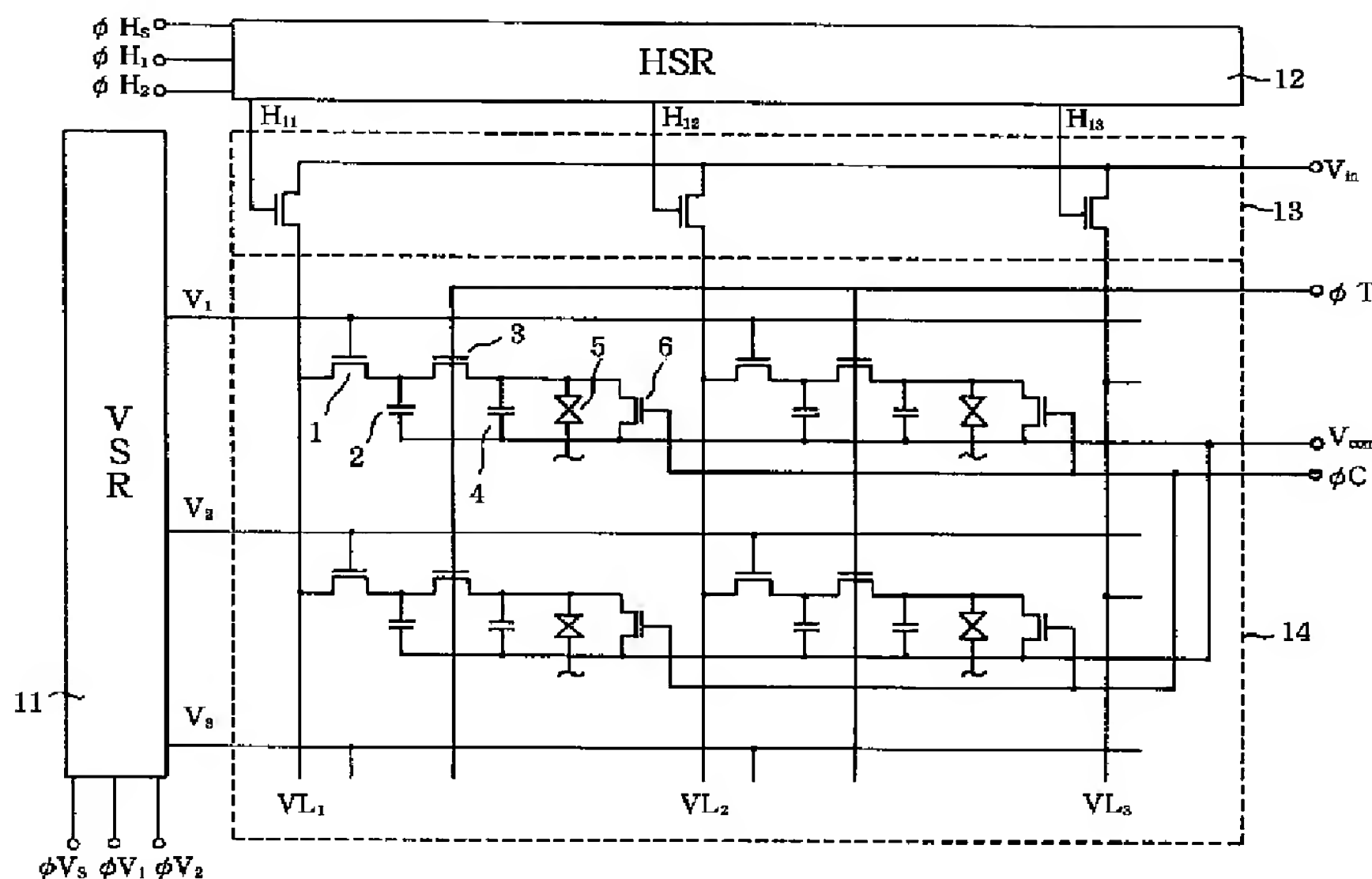
【図12】従来の光源色切換方式の液晶表示装置の書込み・表示タイミングチャートである。

【符号の説明】

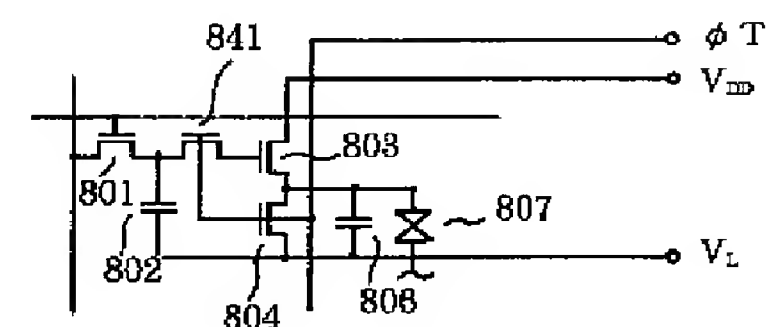
- 1 第1 T F T
- 2 メモリ容量
- 3 第2 T F T
- 4 付加容量
- 5 液晶容量
- 6 リセット T F T
- 11 垂直走査回路
- 12 水平走査回路
- 13 サンプリング回路
- 14 表示画素部
- 31 表示パネル
- 32 信号源
- 33 外部信号処理メモリ
- 34 タイミングジェネレータ
- 35 照明
- 36 照明光学系
- 37 電源
- 38 投影光学系
- 71 カラーフィルター
- 101 透明絶縁性基板
- 102 導電性膜
- 103 絶縁膜
- 104 ポリシリコン

- * 105 ゲート絶縁膜
- 106-1~106-3 ゲートポリシリコン
- 107, 108-1~108-3 ソース・ドレイン領域
- 109 信号配線
- 109-4 リセット電位配線
- 110 導電性遮光膜
- 111 透明画素電極
- 200 液晶
- 10 201, 202 配向膜
- 300 ガラス基板
- 301 透明導電性膜
- 501 画素電極
- 601, 801, 901, 1001 第1スイッチ回路
- 602, 802, 902, 1002 メモリ容量
- 603, 803, 903, 1003 アンプ回路
- 604, 804, 904 負荷抵抗
- 605, 1005 第2スイッチ回路
- 606, 806, 906, 1006 付加容量
- 20 607, 807, 907, 1007 液晶容量
- 608 電源スイッチ
- 611 垂直走査回路
- 612 水平走査回路
- 613 サンプリング回路
- 614 表示画素部
- 841 メモリ制御スイッチ回路
- * 1061 リセットスイッチ

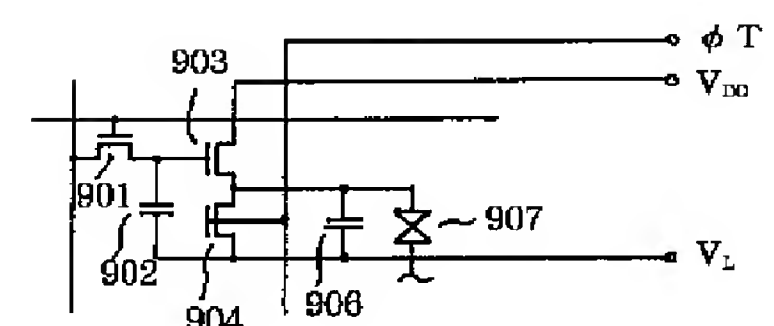
【図1】



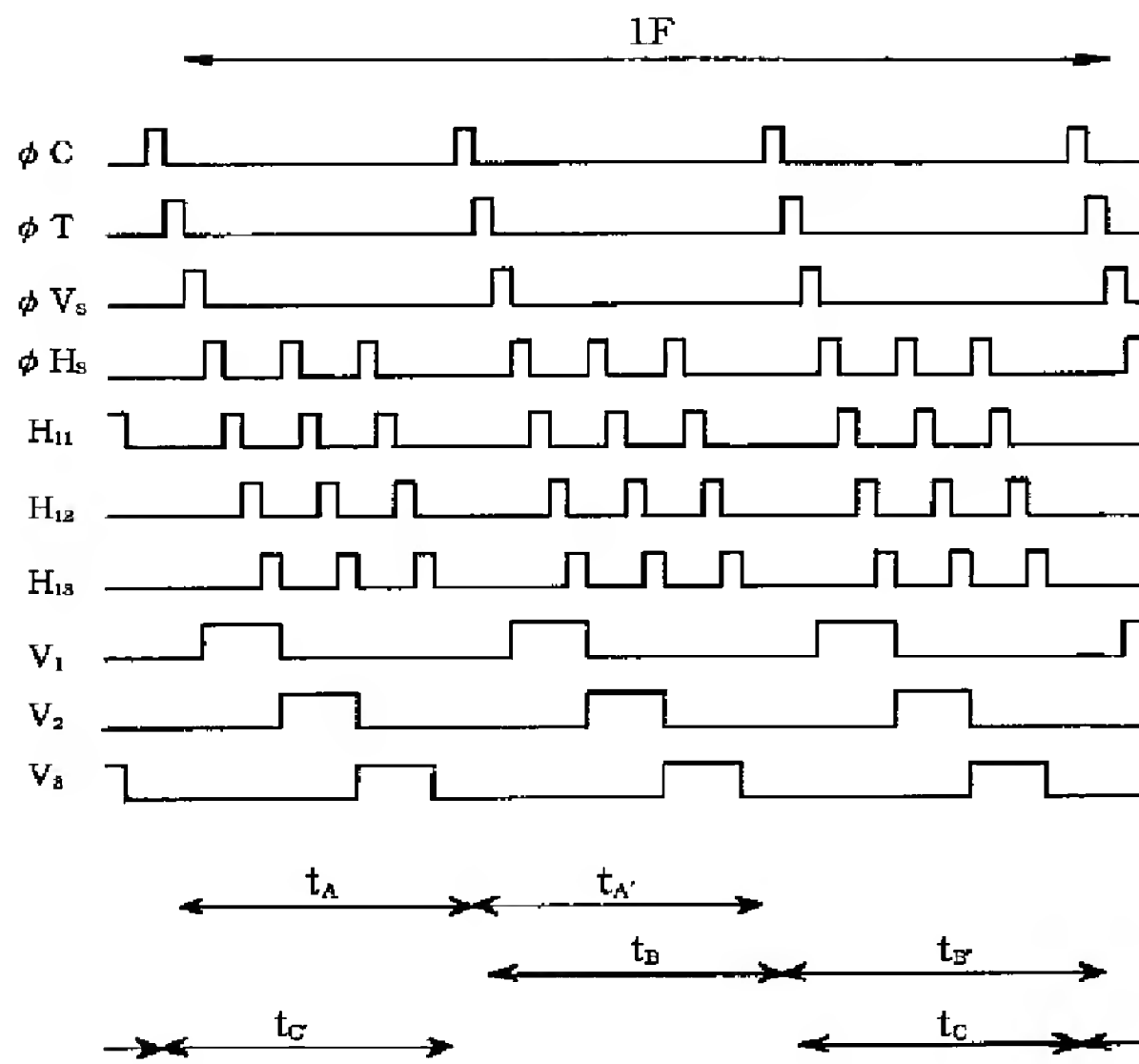
【図8】



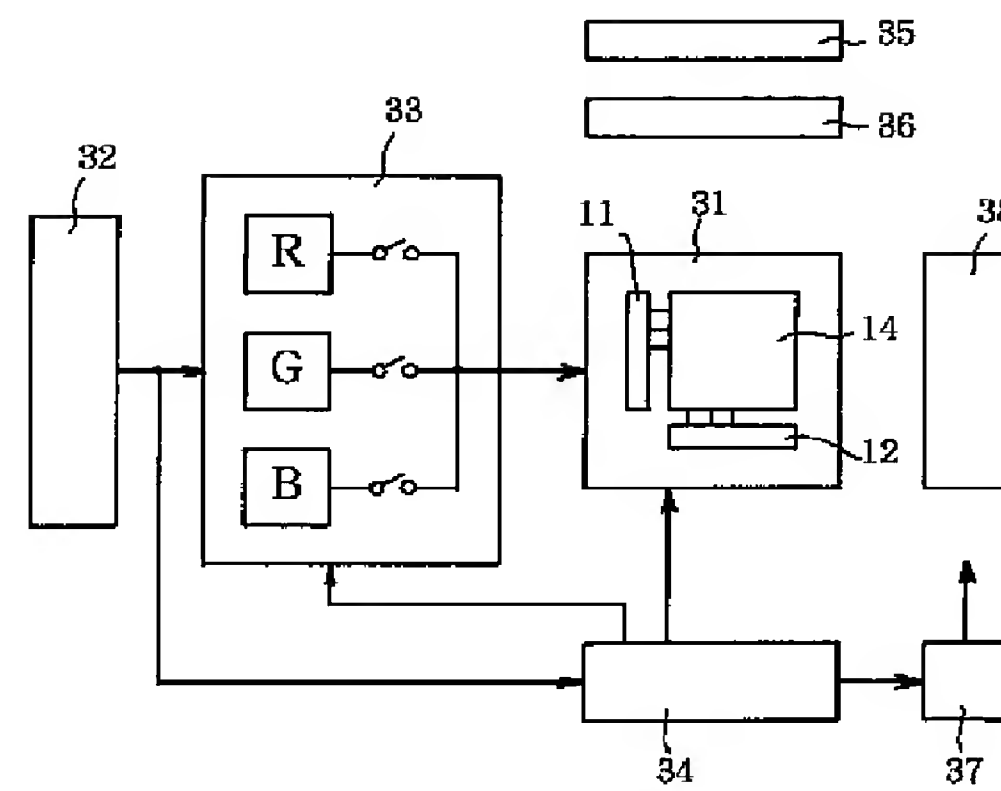
【図9】



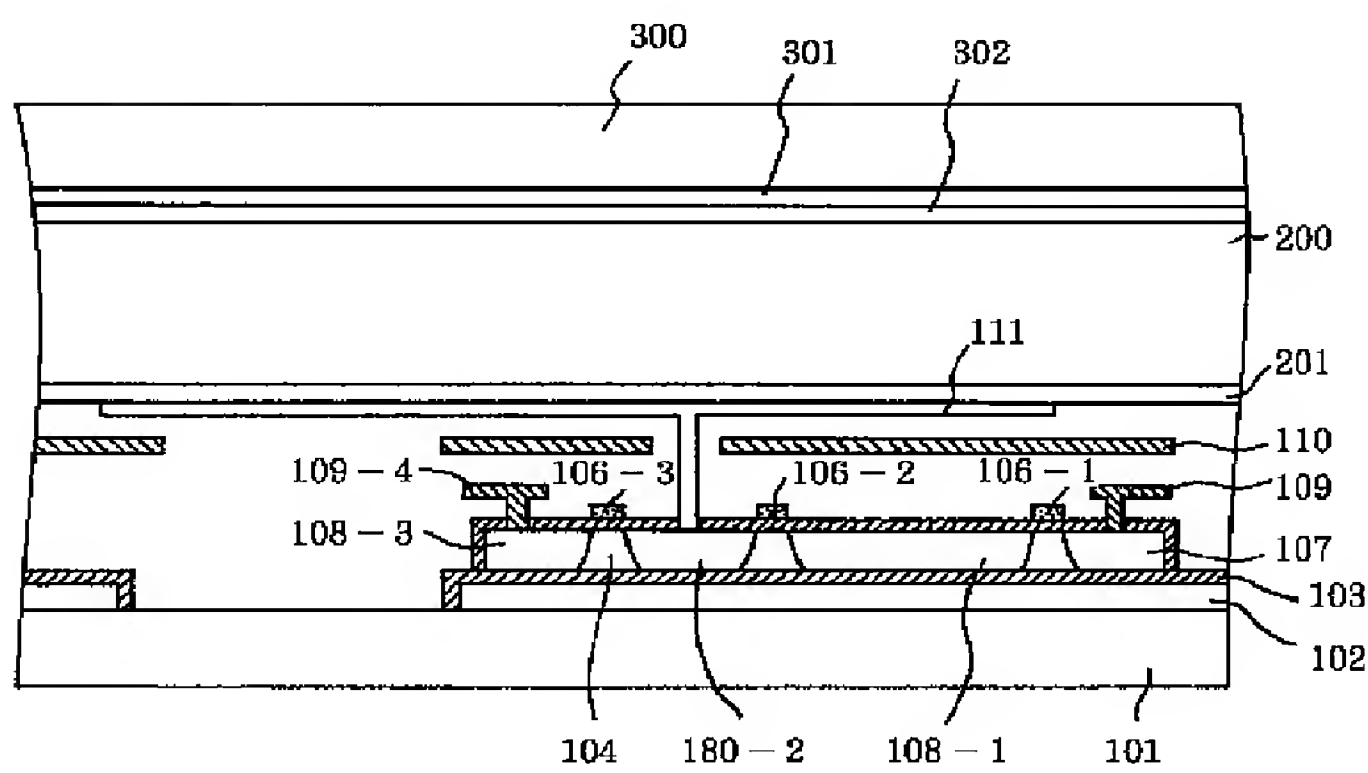
【図2】



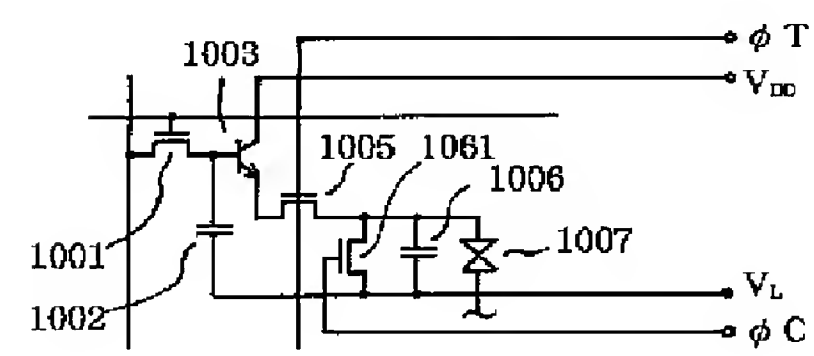
【図3】



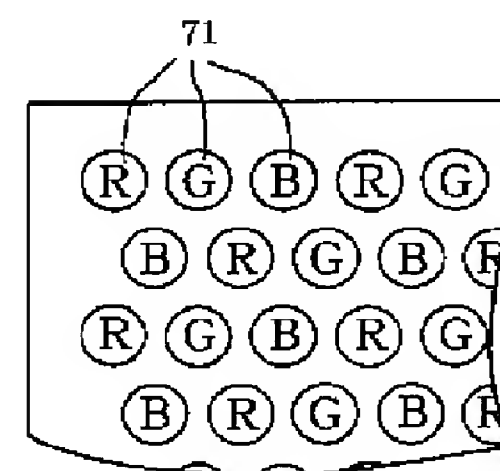
【図4】



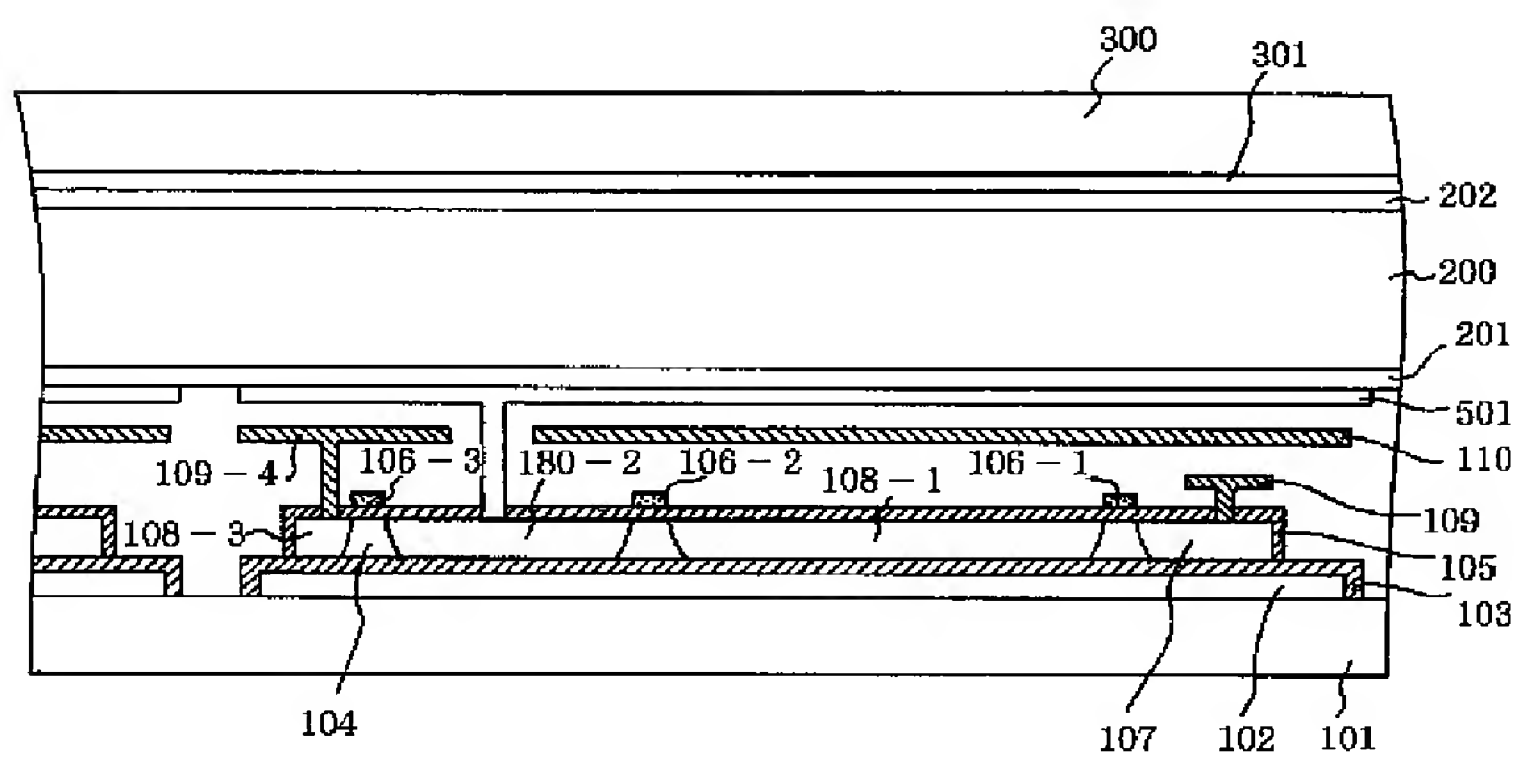
【図10】



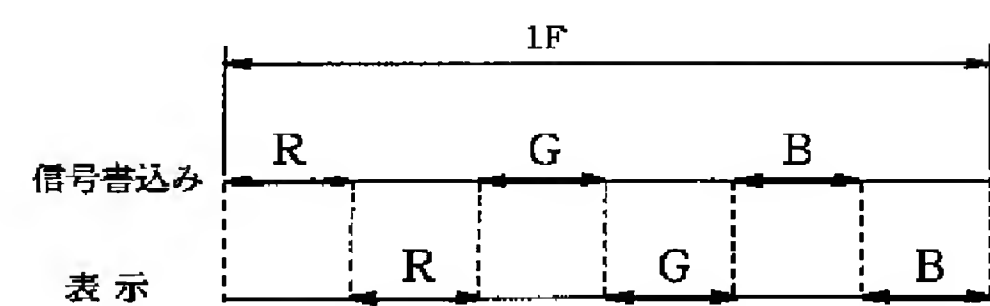
【図11】



【図5】



【図12】



The diagram illustrates a semiconductor device with a grid of word lines (H11, H12, H13) and bit lines (V1, V2, V3). The device includes various components labeled 601 through 608, including transistors, capacitors, and diodes. It also shows input/output lines for Hs, H1, H2, VV, VD, and VL. The device is divided into sections 611, 612, 613, and 614.

The diagram shows the timing of various signals in the 1F system. The signals are:

- ϕVV : A periodic square wave.
- ϕT : A periodic square wave.
- ϕV_s : A periodic square wave.
- ϕH_s : A periodic square wave.
- H_{11} : A periodic square wave.
- H_{12} : A periodic square wave.
- H_{1a} : A periodic square wave.
- V_1 : A periodic square wave.
- V_2 : A periodic square wave.
- V_a : A periodic square wave.

The time intervals are defined as follows:

- t_A : The duration of the first half-cycle of ϕVV .
- $t_{A'}$: The duration of the second half-cycle of ϕVV .
- t_B : The duration of the first half-cycle of ϕT .
- $t_{B'}$: The duration of the second half-cycle of ϕT .
- t_C : The duration of the first half-cycle of ϕV_s .
- $t_{C'}$: The duration of the second half-cycle of ϕV_s .